

前言

隨著製程不斷進步，晶片設計日益複雜，使用標準元件庫之設計流程成爲不得不然之趨勢。CIC目前在Cell-Based設計流程方面，提供了兩種不同製程的標準元件庫。其分別爲0.35 μm 的Avant! Passport標準元件庫及0.25 μm 的Artisan SAGE-XTM標準元件庫。針對更高速、更高密度的設計需求，並於近期內將提供0.18 μm Artisan SAGE-XTM標準元件庫供學術界使用。由於標準元件庫橫跨前端及後端設計，其使用牽涉到設計流程中各步驟甚至各廠商之軟體，故CIC沒有針對標準元件庫的使用開課。本文藉由介紹0.18 μm Artisan SAGE-XTM標準元件庫來讓使用者能對標準元件庫有更清楚的認識。

標準元件庫

標準元件庫中的元件可分爲兩大類，一類用來組成電路，如AND、OR等元件；另一類則在晶片實體佈局 (Physical layout) 時做輔助之功能，如FILLER元件提供晶片較佳之電氣特性。在Cell-Based設計流程中，標準元件庫提供使用者及積體電路設計自動化軟體必要的資訊。一般標準元件庫會提供的資訊包括：(1) 元件實體佈局 (Physical layout)；(2) 邏輯 (Logic) 資訊；(3) 時序 (Timing) 資訊；(4) 功率 (Power) 資訊。

(1) 元件實體佈局 (Physical layout)

在元件實體佈局方面，0.18 μm Artisan SAGE-XTM標準元件庫是針對台積電0.18 μm 製程而設計，此製程最多允許6層金屬 (Metal) 繞線。依據此製程之設計規則 (Design Rule)，0.18 μm Artisan SAGE-XTM標準元件庫之實體規格 (Physical Specification) 及電氣規格 (Electrical Specification) 如下表所示。

表1 實體規格 (Physical Specification)

Drawn Gate Length (μm)	0.18
Layers of Metal	4, 5 or 6
Layout Grid (μm)	0.005
Vertical Pin Grid (μm)	0.56
Horizontal Pin Grid (μm)	0.66
Cell Power and Ground Rail Width (μm)	0.8

表2 電氣規格 (Electrical Specifications)

Parameter	Minimum	Maximum
DC Supply Voltage (Vdd)	1.62V	1.98V
Junction Temperature	0	125

表1的規格中，值得注意的是「Vertical Pin Grid」和「Horizontal Pin Grid」。這兩個值會影響到P&R（佈局與繞線）軟體的效率。圖1顯示的是NAND邏輯閘（Gate）實體佈局中Pin的位置，A、B、Y就是它的Pin，所謂的Pin就是實體佈局中可供連線的位置，如A和B就是輸入的Pin而Y是輸出的Pin。由圖1我們可以看到整個佈局圖被由「Vertical Pin Grid」和「Horizontal Pin Grid」組成的基本小方塊切割形成棋盤狀，而所有的Pin都恰好坐落在縱線橫線的交點上。這種Pin只坐落在交點上的情況稱做On-Grid。On-Grid的佈局方式會使得P&R軟體有較高的繞線（Routing）效率，在某些早期的P&R軟體上，甚至只能接受On-Grid的佈局方式。

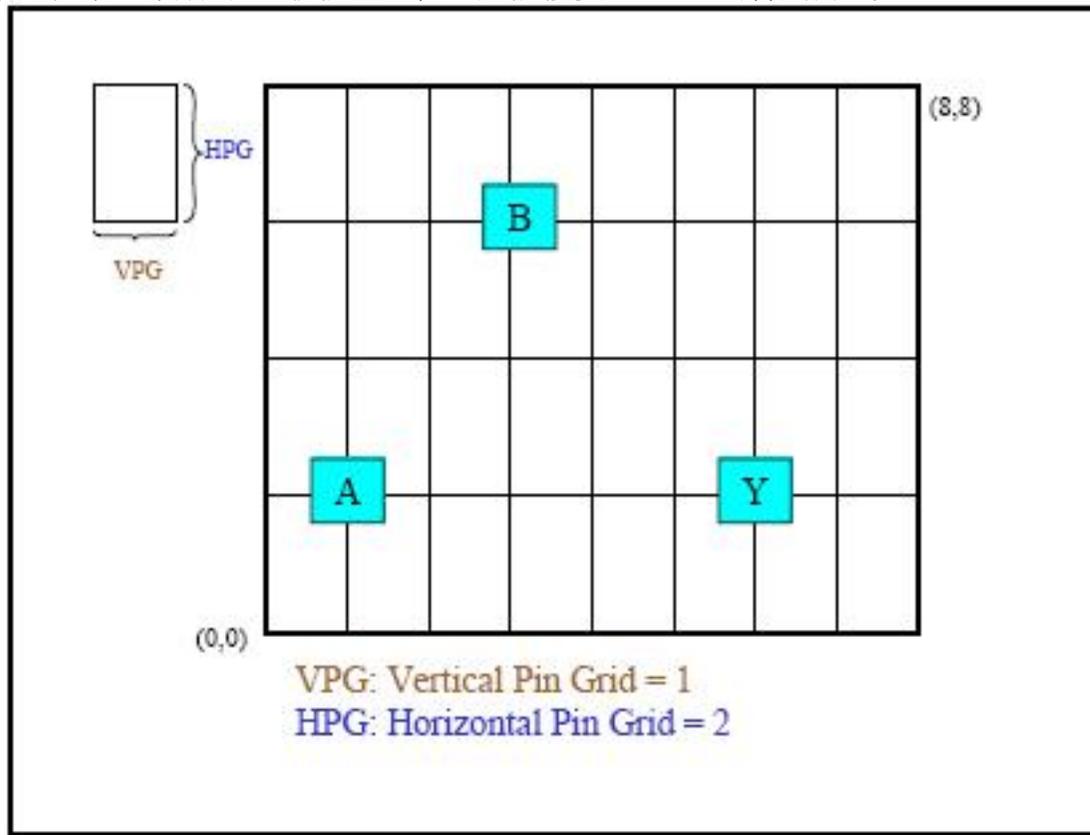


圖1 NAND邏輯閘

(2) 邏輯 (Logic) 資訊

一般來說，邏輯資訊會在合成和做邏輯閘層模擬 (Gate Level Simulation) 時用到，所以元件庫中關於合成軟體和硬體描述語言部分就必須提供足夠的元件邏輯資訊。就合成軟體而言，舉Synopsys公司的軟體為例，標準元件庫提供了一個文字檔格式的source file，這個檔案包含所有元件輸出埠的邏輯資訊。比方說之前提到的NAND邏輯閘，其輸出端Y的邏輯資訊就會是function：" $!(A \text{ B})$ "。有了這些資訊，合成軟體才能將你的硬體描述對應到元件的組合。而source file必須經由合成軟體附加的程式編譯成合成軟體可使用的資料庫，這種使用模式可套用到大部分市面上的合成軟體。

就硬體描述語言而言，元件庫的設計者必須使用硬體描述語言的原型 (Primitive) 來描述元件的邏輯資訊。舉Verilog為例，一個簡單的原型nand (Y, A, B)就能描述前面提到的NAND邏輯閘。有了這些資訊，模擬軟體才能知道正確的輸出為何。事實上，這裡所舉的只是一個簡單的例子，對於較複雜的元件需要有更多的描述才能構築出邏輯資訊，各位有興趣的話，可以參考各硬體描述語言的文件。

(3) 時序 (Timing) 資訊

關於元件庫的時序資訊，可以分為兩大方面，其一是元件延遲 (Cell Delay)，其二是時序限制 (Timing Constraint)。參考圖2，在0.18 μm Artisan SAGE-XTM 標準元件庫中，元件延遲的定義為 $T_{pd} = t_o - t_i$ ，其中 t_o 為輸出訊號跨過一半供給電壓 (Vdd) 的時間， t_i 為輸入訊號跨過一半供給電壓 (Vdd) 的時間。對於元件庫而言，元件延遲的定義並無一定的標準，但此處的定義是廣為各元件庫廠商所採用的。

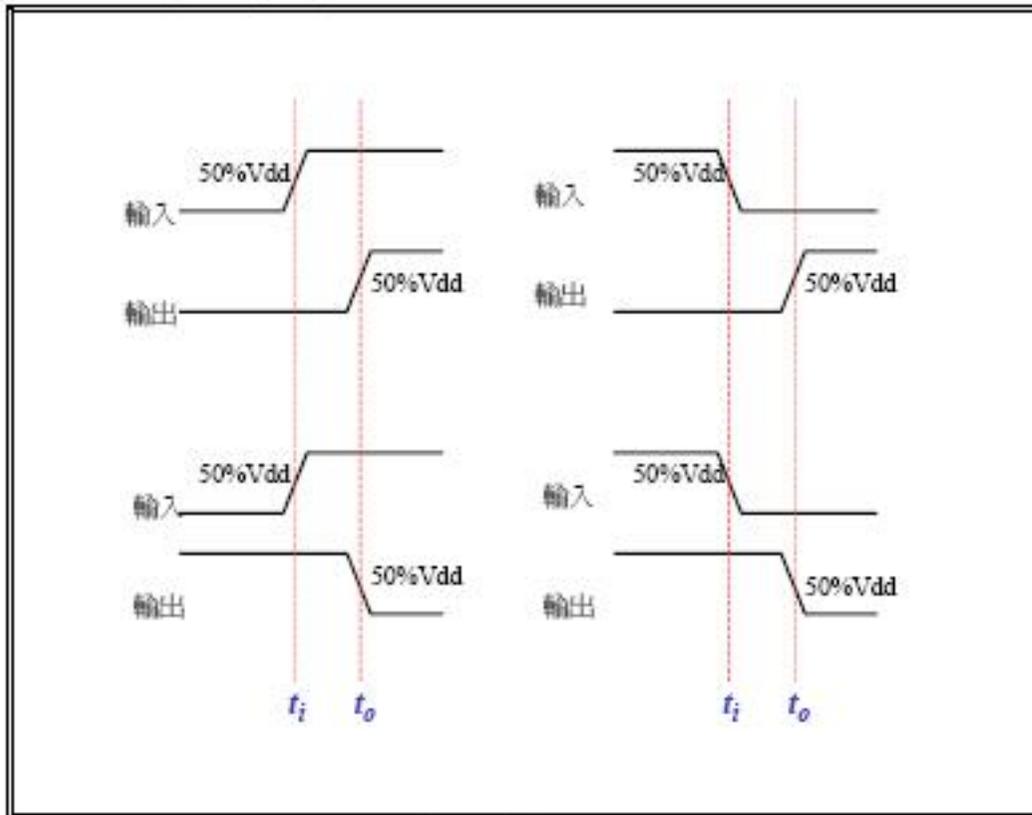


圖2 元件延遲 (Cell Delay)

影響元件延遲的因素有很多。跟操作狀況 (Operating Condition) 有關的因素包括溫度 (Temperature)、供給電壓 (Supply Voltage) 和製程變動 (Process Variation)，這三項我們留待後面再加以說明。這裡我們先針對輸入變化時間 (Input Transition Time)、輸出負載 (Output Loading) 和輸入信號極性 (Input-Signal Polarity) 來解釋。當一個元件庫的實體佈局都完成之後，並非意味著這個元件庫已經可以使用了，相反的，這才是元件庫製作的開端而已。元件庫的設計者必須對這些實體佈局做特徵化 (Characterization) 的動作。所謂的特徵化指的是將實體佈局轉成電路檔案 (Netlist)，然後利用如Hspice的電路模擬軟體找出元件的特性，以建立此元件的模型 (Model)。元件延遲也是模型的一部份，0.18 μm Artisan SAGE-XTM 標準元件庫的設計是以輸入變化時間、輸出負載和輸入信號極性為變數，變換這些變數得到不同的元件延遲來建立表格。這個表格會轉換成許多不同的型式，如合成軟體使用的合成模型 (Synthesis Model)、P&R軟體使用的時序模型 (Timing Model) …，但其功能都同是為了讓需要使用元件延遲的軟體能夠經由查表的方式來獲得所需的資訊。當然，這個表格不可能包含所有狀況，如果無法由表格直接得到元件延遲的話，軟體會自行依照表格資料計算出元件延遲。

相對於建立表格的方式，特徵化時也可將元件延遲對上述三個變數的關係線性化，以線性方程式計算出較為不精準的元件延遲。為了精簡計算

，0.18m Artisan SAGE-XTM標準元件庫的使用手冊中的Delay Table就是用線性方程式計算出來的，其計算公式如下：

$$T_{\text{cell}} = T_i + K_{\text{load}} \cdot C_{\text{load}}$$

T_{cell} ：元件延遲

T_i ：當元件沒有負載時的元件延遲

K_{load} ：線性化之後的負載係數

C_{load} ：負載電容

這個公式是固定輸入傾斜（Input Slew）為0.03ns得來的。在晶片設計之初，你可以用這個公式來約略估計元件的延遲。

接下來我們來看看溫度（Temperature）、供給電壓（Supply Voltage）和製程變動（Process Variation）這三個操作狀況（Operating Condition）對元件延遲的影響。操作狀況總分為三種，分別是Fast、Typical和Slow。對於每種狀況，0.18m Artisan SAGE-XTM標準元件庫都有各自的表格可供查詢。你可以依據自己的需要，選擇適當的模型（Model）來使用。比方說你想要悲觀而保險的時序估計值，你就可以選擇Slow狀況的模型（Model）。

對於線性化之元件延遲，必須利用另一個線性方程式來描述操作狀況對元件延遲的影響。舉0.18m Artisan SAGE-XTM標準元件庫為例，其公式如下：

$$t_{\text{cell}} = (K_{\text{Process}}) \cdot [1 + (K_{\text{Volt}} \cdot \Delta V_{\text{dd}})] \cdot [1 + (K_{\text{Temp}} \cdot \Delta T)] \cdot t_{\text{typical}}$$
$$t_{\text{typical}} = t_{\text{intrinsic}} + (K_{\text{load}} \cdot C_{\text{load}})$$

t_{cell} ：元件延遲

t_{typical} ：Typical狀況下的元件延遲

$t_{\text{typical}} \rightarrow 1.8\text{V}$ ，25°C，一般製程環境（typical process）

$t_{\text{intrinsic}}$ ：當元件沒有負載時的元件延遲

K_{load} ：線性化之後的負載係數

C_{load} ：負載電容

K_{Process} ：製程參數，三個值分別對應slow，typical，和fast狀況

K_{Volt} ：電壓參數

ΔV_{dd} ：供給電壓Vdd - 1.8V

K_{Temp} ：溫度參數

ΔT ：接面溫度（Junction Temperature） - 25°C

製程參數、電壓參數及溫度參數請參考表3。

為了確保元件能夠正確的動作，序向元件（Sequential Cell）的輸入信號必須維持一段時間的穩定。而需要維持穩定的時間就是由時序限制

(Timing Constraint) 來規範的。在0.18m Artisan SAGE-X™標準元件中，時序限制包括Setup Time、Hold Time、Recovery Time和Minimum Pulse Width四項。時序限制會影響元件延遲，因為元件延遲都是在所有輸入信號持續穩定一大段時間之後所測出的，如果在時序限制不滿足的情況下，元件延遲有可能會增加。和元件延遲一樣，在0.18m Artisan SAGE-X™標準元件庫中，時序限制也是以查表的方式得知，而此表格也是經由特徵化 (Characterization) 而得到的。在特徵化的過程中，元件庫設計者藉由不斷縮小輸入信號穩定的時間，來獲知讓元件正確動作所需之最小穩定時間。而這裡所謂的正確動作的定義是元件延遲不超過在絕對穩定的狀態下測出值的10%。以下我們對這四個時序限制做較詳細的說明。

表3 製程、電壓及溫度參數

$K_{Process}$ (Slow)	1.293
$K_{Process}$ (Typical)	1.000
$K_{Process}$ (Fast)	0.781
K_{Volt} (1.8V to 1.62V)	-0.731/V
K_{Volt} (1.8V to 1.98V)	-0.511/V
K_{Temp} (25°C to 0°C)	0.00137/°C
K_{Temp} (25°C to 125°C)	0.00123/°C

如果您對數位電路設計有些許概念，想必對Setup Time及Hold Time這兩個名詞不會陌生。序向元件的Setup Time是指為了使元件正確動作，在時脈 (Clock) 上升 (或下降) 之前，輸入資料 (Input Data) 必須維持穩定的最短時間。Hold Time則是指在時脈 (Clock) 上升 (或下降) 之後，輸入資料 (Input Data) 必須維持穩定的最短時間。參考圖3，對於0.18m Artisan SAGE-X™標準元件庫，時脈 (Clock) 上升 (或下降) 的時間或資料 (Data) 變化的時間都是以信號經過50%Vdd的時間為基準。圖3是一個正緣觸發元件的例子。Recovery Time則是在時脈 (Clock) 上升 (或下降) 之前，Set或Reset的信號必須維持穩定的最短時間，其目的在讓序向元件有足夠的時間回到初始狀態。Minimum Pulse Width則是突波 (pulse waveform) 前緣和後緣間的最短時間。圖3中的minpwh和minpwl都是Minimum Pulse Width。對於序向元件而言，太短的突波寬度有可能會被濾掉而造成誤動作。

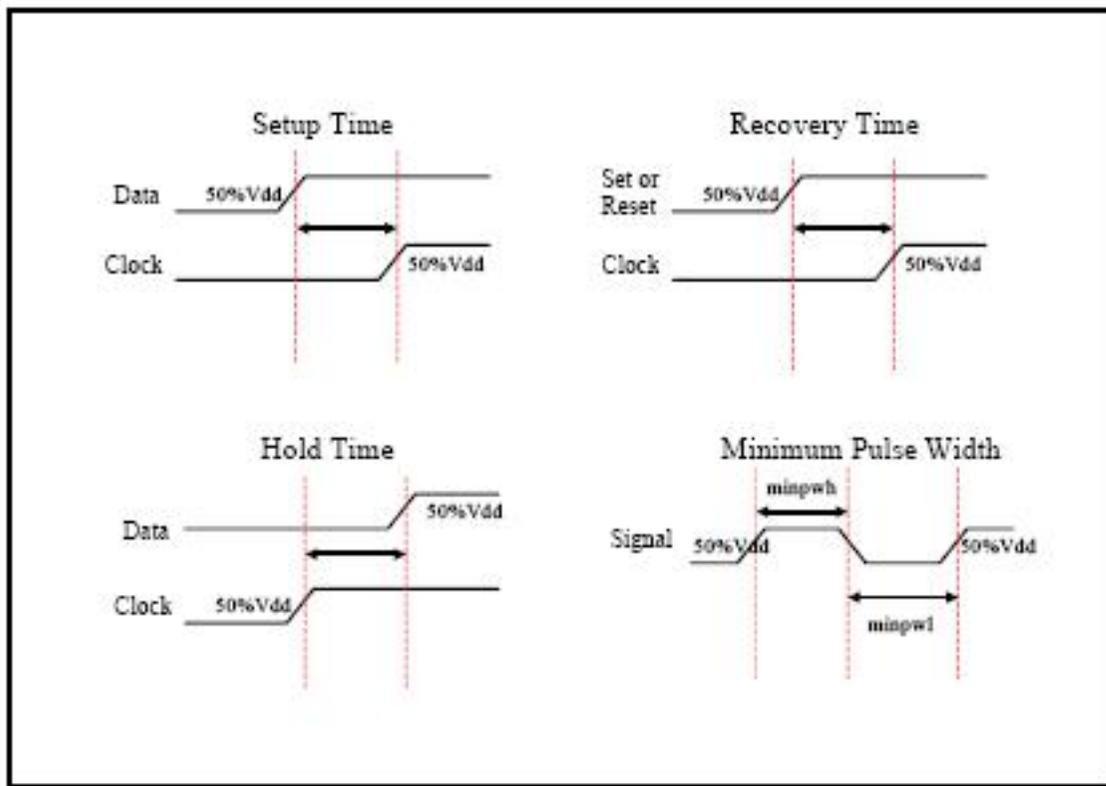


圖3

時序限制在合成、邏輯閘層模擬 (Gate Level Simulation) 時、靜態時序分析 (Static Timing Analysis) 及時序導向佈局與繞線 (Timing Driven P&R) 時會用到。例如在合成模型中，0.18 μm Artisan SAGE-XTM 標準元件庫就以輸入資料 (Input Data) 和時脈 (Clock) 輸入的轉變時間 (Transition Time) 為變數，提供時序限制表格供合成軟體查詢。又如在Verilog邏輯閘層模擬模型 (Gate Level Simulation Model) 裡，也利用\$setuphold、\$width、\$recovery等指令來做時序檢查 (Timing Check)。

(4) 功率 (Power) 資訊

在談完時序資訊之後，我們來看看功率 (Power) 資訊。元件的功率消耗除了少部分的漏損功率 (Leakage Power)，大部分都是交流功率 (AC Power)。0.18 μm Artisan SAGE-XTM 標準元件庫對組合元件 (Combinatorial Cell) 和序向元件 (Sequential Cell) 提供兩種不同的能量表格。藉由查詢電路中各個元件的能量再配合每個節點的變化率及設計時的特殊條件，可計算出整體電路的功率消耗。在此，我們不探究整體電路的功率消耗如何計算，只針對元件的功率消耗來做討論。對於組合元件，元件庫針對不同的輸入轉變時間 (Transition Time) 和輸出電容負載提供元件內部能量消耗。而對於序向元件，元件庫提供兩個能量消耗值，第一個是當輸入變化不影響輸出時，每個輸入變化造成的內部能量消耗，這個值的大小只跟輸入轉變時間 (Transition Time) 有關。另一個是針對不同的時脈 (Clock) 轉變時間 (Transition Time) 和輸出電容負載提供元件內

部能量消耗。

功率消耗決定於供給電壓 (Supply Voltage)、操作頻率 (Frequency of Operation) 及電容負載。元件功率消耗可用下方式子表示：

$$P_{avg} = \sum_{n=1}^x (E_{in} \cdot f_{in}) + \sum_{n=1}^y (C_{on} \cdot Vdd^2 \cdot \frac{1}{2} f_{on}) + E_{os} \cdot f_{o1}$$

P_{avg} : 平均功率 (mW)

x : 輸入端數目

E_{in} : 跟第n個輸入相關的能源 (mW/MHz)

f_{in} : 正常操作下, 第n個輸入的變化頻率 (MHz)

y : 輸出端數目

C_{on} : 第n個輸出端的負載電容 (pF)

Vdd : 操作電壓 = 1.8V

f_{on} : 正常操作下, 第n個輸出的變化頻率 (MHz)

E_{os} : 序向元件中, 跟第n個輸出相關的能源

輸入和輸出的變化頻率可以在邏輯閘層模擬 (Gate Level Simulation) 的過程中獲得, 只要給定輸入就可以得到所有節點的變化頻率。一般的功率分析軟體就是利用此方式獲得節點變化頻率算出所有元件的功率消耗, 最後再加總得到整體電路的功率消耗。

結語

良好的晶片設計必須具備面積小、效能高、功率低的特性。對於Cell-Based設計流程而言, 熟知元件資料庫所提供的資訊是良好晶片設計的基礎。希望本文能夠讓您對標準元件庫有更深一層的認識, 也歡迎各位來信討論。

參考資料:

- 1) TSMC 0.18µm SAGE-X?? Standard Cell Library Databook
- 2) Synopsys Design Compiler Reference Manual
- 3) Synopsys Power Compiler Reference Manual

作者:

陳麒旭 / 國家晶片系統設計中心設計服務組